

1/9/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

012625417 \*\*Image available\*\*

WPI Acc No: 1999-431521/199937

XRPX Acc No: N99-321206

**Difference signal transmission circuit**

Patent Assignee: ADVANTEST CORP (ADVA-N); ADVANTEST KK (ADVA-N)

Inventor: SUDA M

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
DE 19900337	A1	19990715	DE 1000337	A	19990107	199937	B
JP 11205118	A	19990730	JP 982732	A	19980109	199941	
KR 99066886	A	19990816	KR 9860141	A	19981229	200045	
US 6208161	B1	20010327	US 98221498	A	19981228	200119	
TW 419920	A	20010121	TW 99100192	A	19990107	200138	
KR 291118	B	20010712	KR 9860141	A	19981229	200226	

Priority Applications (No Type Date): JP 982732 A 19980109

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
DE 19900337	A1		12	H04L-025/20	
JP 11205118	A		6	H03K-019/0175	
KR 99066886	A			H04B-001/00	
US 6208161	B1			H03K-017/16	
TW 419920	A			H04L-025/20	
KR 291118	B			H04B-001/00	Previous Publ. patent KR 99066886

Abstract (Basic): DE 19900337 A1

NOVELTY - The circuit has a CMOS differential driver (11-1n) which receives a fast signal for transmission from a LSI circuit and feeds the signal to a differential transmission cable (141-14n), an impedance matching circuit (31-3n) which reduces the driver's output impedance, a series termination circuit connected between the driver output and transmission cable to match the total impedance at the output of the driver to a characteristic impedance of the transmission cable.

USE - For transmitting a rapid pulse signal over a differential transmission line, esp. for use in a semiconductor test system in which a difference type CMOS circuit directly controls a differential transmission line.

ADVANTAGE - Enables a relatively high output impedance CMOS driver circuit to directly drive the transmission cable.

DESCRIPTION OF DRAWING(S) - The drawing shows a block circuit diagram of an example structure of the circuit.

CMOS drivers (11-1n)  
impedance matching circuits (31-3n)  
transmission cables (141-14n)  
pp; 12 DwgNo 1/7

Title Terms: DIFFER; SIGNAL; TRANSMISSION; CIRCUIT

Derwent Class: U21; U25

International Patent Class (Main): H03K-017/16; H03K-019/0175; H04B-001/00; H04L-025/20

International Patent Class (Additional): G06F-003/00; H03K-019/0948; H04L-025/02

File Segment: EPI

Manual Codes (EPI/S-X): U21-C01B3; U25-D05

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205118

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 Q

G 0 6 F 3/00

G 0 6 F 3/00

K

H 0 4 L 25/02

H 0 4 L 25/02

V

F

H 0 3 K 19/00

1 0 1 Z

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号

特願平10-2732

(22) 出願日

平成10年(1998) 1月9日

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 須田 昌克

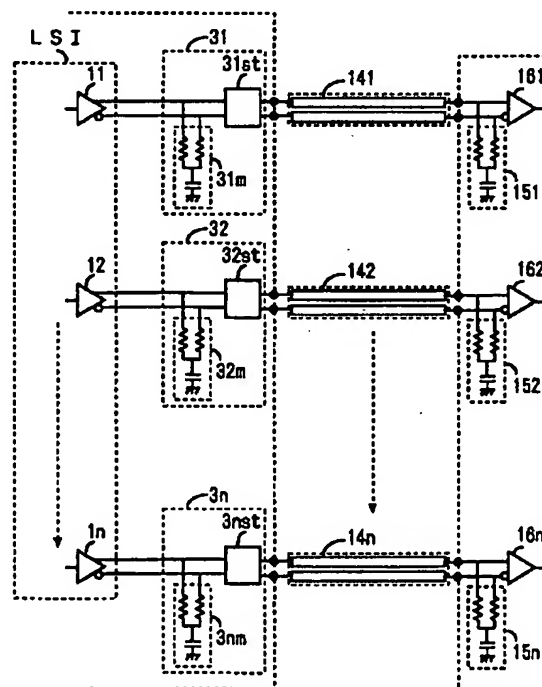
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(54) 【発明の名称】 差動信号伝送回路

(57) 【要約】

【課題】 L S I に集積化が可能な比較的输出インピーダンスの高いC M O S 差動出力素子を使用して、直接同軸伝送線を駆動可能な差動信号伝送回路を実現する。

【解決手段】 高速パルス信号を受けて差動の伝送線を駆動する差動信号伝送回路において、差動の伝送線を駆動するC M O S 型の差動ドライバを具備し、差動ドライバ出力端に接続され、差動ドライバ出力点におけるインピーダンスを所定インピーダンスに下げるインピーダンス整合部を具備し、差動ドライバと差動の伝送線間に直列に挿入され、上記差動ドライバ出力点における所定インピーダンスを含んで、伝送線路の特性インピーダンスに直列終端して整合する直列終端回路を具備する差動信号伝送回路。



## 【特許請求の範囲】

【請求項1】 高速パルス信号を受けて差動の伝送線を駆動する差動信号伝送回路において、差動の伝送線を駆動するCMOS型の差動ドライバと、

該差動ドライバ出力端に接続され、該差動ドライバ出力点におけるインピーダンスを所定インピーダンスに下げるインピーダンス整合部と、

該差動ドライバと差動の伝送線路間に直列に挿入され、上記差動ドライバ出力点における所定インピーダンスを含んで、伝送線路の特性インピーダンスに直列終端して整合する直列終端回路と、

を具備していることを特徴とする差動信号伝送回路。

【請求項2】 差動ドライバはCMOSのLVDS型の差動ドライバであることを特徴とする請求項1記載の差動信号伝送回路。

【請求項3】 直列終端回路にはピーキング回路を有することを特徴とする請求項1記載の差動信号伝送回路。

【請求項4】 複数チャンネルの差動ドライバをCMOSのLSIに複数個集積することを特徴とする請求項1記載の差動信号伝送回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、高速パルス信号を伝送線を介して差動伝送する差動信号伝送回路に関する。特に半導体試験装置等に用いられ、複数チャンネルの同軸型あるいはツイストペア型の差動伝送線路を差動のCMOS回路で駆動する伝送回路に関する。

## 【0002】

【従来の技術】従来使用されている高速信号の差動信号伝送回路の構成例を図5と図6と図7を参照して説明する。尚、この伝送系で伝送する高速パルス信号のパルス幅は数百ピコ秒の極めて狭いパルス幅のものまで伝送し、なおかつ差動レシーバ161の出力端において復元されるパルスにおいて、このパルスの前縁あるいは後縁エッジのタイミング精度が良好でジッタが少ないことが求められる。

【0003】差動信号伝送回路の構成は図6に示すように、出力バッファ111～11nと、ECL差動ドライバ121～12nと、送端側抵抗部131～13nと、同軸伝送線路141～14nと、終端側抵抗151～15nと、差動レシーバ161～16nとによる複数nチャンネルの差動信号伝送回路で成る。

【0004】出力バッファ111は、LSIの出力部に設けるECL入力レベルとインターフェースする為のCMOS型の差動バッファ(PECL、PCML、LVDS等)であり、外部へ高速パルス信号を出力する。これは、例えば1つのLSIパッケージに複数個の出力バッファ111～11nが収容されて実用に供される。ここで、PECL、PCMLは疑似ECL素子である。

【0005】同軸伝送線路141は、例えば伝送インピーダンスが110Ωの差動型の同軸線路であり、本装置から離れた他の装置間と接続する。この線路長としては5メートル以上の長さになる場合がある。

【0006】ECL差動ドライバ121は、上記出力バッファ111からの高速パルス信号を受けて差動の同軸伝送線路141を駆動するECL型の差動ドライバである。このドライバの出力インピーダンス $Z_{out}$ は同軸伝送線路141のインピーダンスに対して十分低い、数Ω程度の出力インピーダンスである。

【0007】送端側抵抗部131は、VEEへプルダウンする300Ω程度の抵抗と、図7に示すように、高域成分を補償するピーキング回路を含む直列終端回路131stである。この直列終端回路131stの直列抵抗 $R_1$ は、伝送インピーダンス110Ωのほぼ1/2の55Ωとなるように $R_1 = (55\Omega - Z_{out})$ のインピーダンス条件値とすることで、差動レシーバ161からの反射波を終端吸収させている。尚、ピーキング回路については周知技術であり、高速パルス信号を伝送する場合には必要な回路要素であり、同軸ケーブル通過に伴う受端側におけるパルス波形の立上がり・立ち下がり特性を改善する為に高域成分を補償するものであり、図7(a)はピーキング抵抗 $R_{P2}$ とピーキングコンデンサ $C_{P2}$ による一次ピーキング補償回路例であり、図7(b)はピーキング抵抗 $R_{P2}$ とピーキングコンデンサ $C_{P2}$ による一次ピーキング補償回路と、ピーキング抵抗 $R_{P3}$ とピーキングコンデンサ $C_{P3}$ による二次ピーキング補償回路の組合せ例である。

【0008】終端側抵抗151は、受端側の並列終端用であり、差動の両線路間を例えば56Ωを2個直列にして両端を差動レシーバ161の入力端に接続し、中点にバイパスコンデンサで回路アースへ接地している。差動レシーバ161は、差動の信号を受けて論理信号に復元変換して出力する。

## 【0009】

【発明が解決しようとする課題】上述説明したように従来技術においては、ECL差動ドライバ121を介して同軸伝送線路141を駆動する回路形態である。この理由はLSI内部のCMOS型の出力バッファ111では、このCMOSドライバの出力インピーダンス $Z_{out}$ が同軸伝送線路141のインピーダンスに対して十分低いものが得られないことに起因している。しかしながら一方で、高速パルス信号を数百チャンネルもの多数使用する半導体試験装置等においては、図5のボード上の部品配置例に示すように、ECLの差動ドライバを多数個配置する必要が生じる。このことはECL素子の消費電力増大の観点、基板スペースの観点、コストの観点から好ましくなく、これらから高速パルスの伝送システム構成上における実用上の難点となっている。そこで、本発明が解決しようとする課題は、LSIに集積化が可能な

比較的输出インピーダンスの高いCMOS差動出力素子を使用して、直接同軸伝送線を駆動可能な差動信号伝送回路を実現することである。

#### 【0010】

【課題を解決するための手段】第1図は、本発明に係る解決手段を示している。第1に、上記課題を解決するために、本発明の構成では、高速パルス信号を受けて差動の伝送線を駆動する差動信号伝送回路において、差動の伝送線を駆動するCMOS型の差動ドライバ11を具備し、この差動ドライバ出力端に接続され、差動ドライバ出力点におけるインピーダンスを所定インピーダンスに下げるインピーダンス整合部31mを具備し、差動ドライバと差動の伝送線路間に直列に挿入され、上記差動ドライバ出力点における所定インピーダンスを含んで、伝送線路の特性インピーダンスに直列終端して整合する直列終端回路31stを具備することを特徴とする差動信号伝送回路である。上記発明によれば、LSIに集積化が可能な比較的输出インピーダンス $Z_{out}$ の高いCMOS差動出力素子を使用して、直接同軸伝送線を駆動可能な安価な差動信号伝送回路が実現できる。

【0011】尚、差動ドライバはCMOSのLVDS型、PECL型、PCML型の差動ドライバであることを特徴とする上述差動信号伝送回路がある。また、直列終端回路31stには高域成分を補償するピーキング回路を有することを特徴とする上述差動信号伝送回路がある。また、複数チャンネルの差動ドライバをCMOSのLSIに複数個集積することを特徴とする上述差動信号伝送回路がある。

#### 【0012】

【発明の実施の形態】以下に本発明の実施の形態を実施例と共に図面を参照して詳細に説明する。

【0013】本発明実施例について図1、図2、図3を参照して説明する。本発明の構成は、図1に示すように、差動ドライバ11~1nと、整合終端回路31~3nと、同軸伝送線路141~14nと、終端側抵抗151~15nと、差動レシーバ161~16nとによる複数チャンネル構成で成る。この構成は図6に示す従来の構成に対して、ECL差動ドライバ121~12nと、送端側抵抗部131~13nとを削除し、代わりにLSI内の出力バッファを差動ドライバ11~1nに変更し、整合終端回路31~3nを設けた構成である。

【0014】差動ドライバ11は、LSIの出力部に設けるCMOS型の差動ドライバであり、特にLVDS (Low Voltage Differential Signal) 型の差動ドライバがある。このLVDSは出力振幅がECLに準じた小振幅で出力可能なデバイスである。この出力段の回路例は図4に示す。しかしながら、この差動ドライバもCMOSであり、出力インピーダンスは例えば150Ω前後と大きな値を示す。この為、この出力端をそのまま従来の回路に接続して適用しても直列終端に整合(マッチン

グ)しない結果、高速パルスを良好に伝送できない。この為以下に示す解決手段により実現する。

【0015】整合終端回路31は、インピーダンス整合部31mと、直列終端回路31stとで成る。まず、直列終端回路31stは、回路定数が異なるものの、図7に示す従来の直列終端回路131stと同様であり、ピーキング回路付きの直列終端回路である。次に、インピーダンス整合部31mは、2個の抵抗 $RS1$ とバイパスコンデンサで成り、高周波的に差動ドライバ11の正負出力端と回路アース間を所定抵抗によるインピーダンスで接続している。これにより、差動ドライバ11の出力端における出力インピーダンスを所定の低インピーダンスにしている。尚、上記バイパスコンデンサは、主に共通モード・ノイズを除去するものであるから、所望により削除しても良い。即ち、図2に示すように、1チャンネルの回路において、インピーダンス $Z3$ は伝送インピーダンスが110Ωであるから、その1/2の55Ωとしなければならない。従って $Z3=55Ω$ とする必要がある。直列終端回路31stにおける直列抵抗はピーキングによる高域成分の補償効果が低減しないようにする為に余り小さくできず、ここでは例えば33Ωと仮定する。これから $Z3(55Ω)=33Ω+Z1$ であるから、インピーダンス $Z1=22Ω$ とする必要がある。一方、インピーダンス整合部31mが並列接続されているから、インピーダンス $Z1=RS1 \parallel RZ0$ である。ここで $RZ0$ は差動ドライバ11の等価出力インピーダンスとし、その値を150Ωと仮定すると、これらから抵抗 $RS1$ の値を計算すると、 $RS1 \approx 25.8Ω$ が求まる。尚、この抵抗 $RS1$ の値の許容幅としては、高速パルス信号が差動レシーバ161で復元されるエッジのタイミング精度やジッタ許容量にもよって異なるが同軸伝送線路141の伝送インピーダンスの例えば±10%程度まで許容しても実用できる。尚、この整合抵抗 $RS1$ の接続に伴い、伝送線路を通過する信号の振幅が小さくなるが、受端側が差動レシーバ161であるから、実用上の支障とはならない。

【0016】上述のように回路定数与えることで、直列終端回路31stとインピーダンス整合部31mと差動ドライバ11とにより伝送線路に対する直列終端の整合がとれ、かつ直列終端回路31stにおける図7に示すピーキング回路による高域成分の補償付与できる為、従来と同程度の高速パルス信号を伝送できる利点が得られる。上述の結果、出力インピーダンスの高いCMOS型の差動ドライバを用いて伝送することが可能となる大きな利点が得られ、しかもLSIから直接伝送線を駆動することが可能となり、図3の配置図に示すように、外部に専用の差動ドライバを設ける必要が無くなって、高密度、実装化、省電力、安価に実現できる大きな利点が得られる。

【0017】尚、本発明の構成は、上述実施の形態に限

るものではない。例えば、上述では差動ドライバ11をLSIの出力部に設けるLVDS型の差動ドライバとした具体例で示したが、疑似ECL素子であるPECL、PCMLを用いても良い。また、他の個別のCMOS型の差動ドライバICを用いても良い。また、CMOS型の差動ドライバ以外に、出力インピーダンスが比較的高い値を示す他の形態、例えばTTL等の差動ドライバを用い、これに対応させた回路定数のインピーダンス整合部31 $\mu$ を設ける構成としても良い。また、上述では差動の同軸伝送線路141とした具体例で示したが、他の特性インピーダンスをもつ同軸線路、ツイストペア線路、又はプリント基板のパターン配線による伝送線路においても同様にして実施できる。また、上述では差動ペアの同軸伝送線路141を駆動する具体例で示したが、差動ではない単一伝送線路の場合においても、出力インピーダンスが比較的高い値を示すドライバを用いて上述同様に構成することで実施可能であり、所望により適用しても良い。

【0018】

【発明の効果】本発明は、上述の説明内容から、下記に記載される効果を奏する。上述実施形態に説明したように本発明は、ピーキング可能な直列終端回路31stを設け、これとインピーダンス整合部31 $\mu$ と差動ドライバ11とにより同軸伝送線路141に対する直列終端の整合をとることが可能となる結果、出力インピーダンスの高いCMOS型の差動ドライバを用いて直接伝送線路を駆動しても、高速パルス信号が伝送可能となる大きな利点を得られる。このことは、従来のように出力インピー

ダンスの低いECL型の専用の差動ドライバが不要となる結果、消費電力の低減、回路実装密度の向上、及び安価に実現できる大きな利点を得られる。従って本発明の技術的效果は大であり、産業上の経済効果も大である。

【図面の簡単な説明】

【図1】本発明の、差動信号伝送回路の構成例である。

【図2】本発明の、整合を説明する回路図である。

【図3】本発明の、図1回路の部品配置例である。

【図4】LVDS型の差動ドライバ回路の例である。

【図5】従来の、図6回路の部品配置例である。

【図6】従来の、差動信号伝送回路の構成例である。

【図7】ピーキング回路を有する直列終端回路例である。

【符号の説明】

RS1 抵抗

CP2, CP3 ピーキングコンデンサ

RP2, RP3 ピーキング抵抗

11~1n 差動ドライバ

31~3n 整合終端回路

31 $\mu$ ~3n $\mu$  インピーダンス整合部

31st~3nst, 131st~13nst 直列終端回路

111~11n 出力バッファ

121~12n ECL差動ドライバ

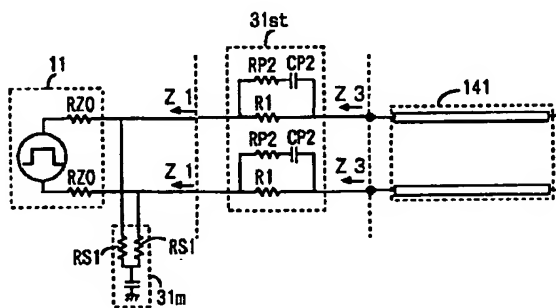
131~13n 送端側抵抗部

141~14n 同軸伝送線路

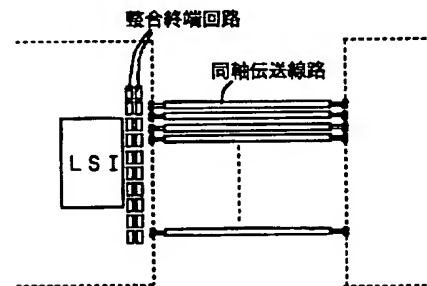
151~15n 終端側抵抗

161~16n 差動レシーバ

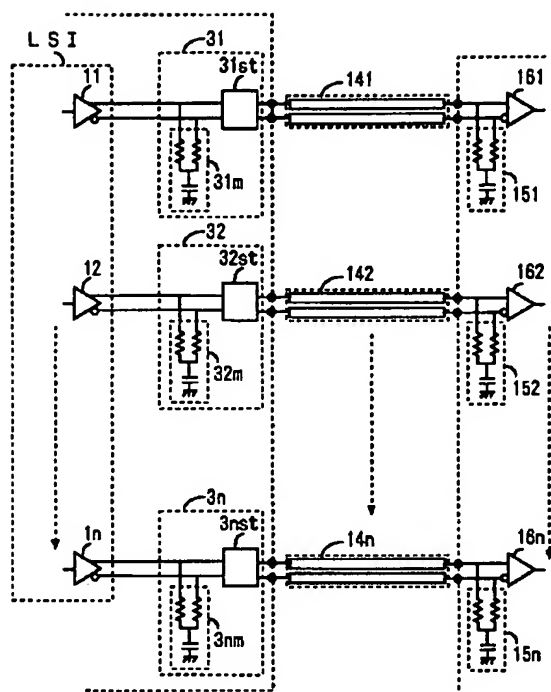
【図2】



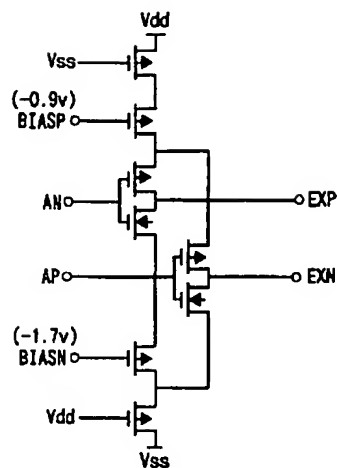
【図3】



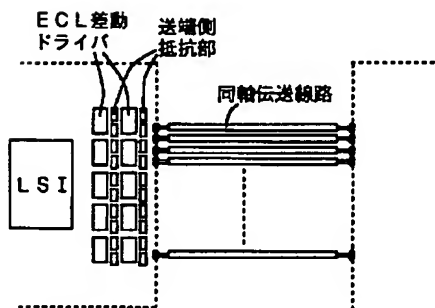
【図1】



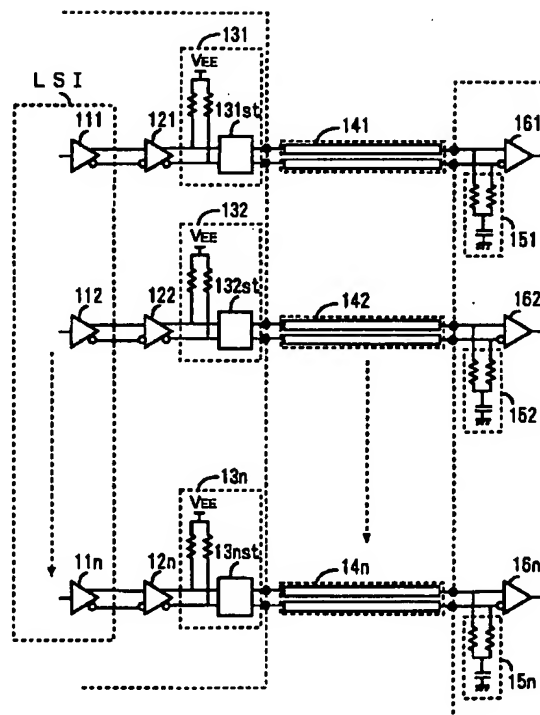
【図4】



【図5】

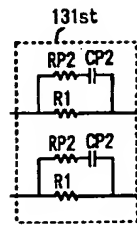


【図6】



【図7】

(a)



(b)

